

#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: **Kazuhiko TAKADA**

Serial No.: **NEW**

Filed: **March 17, 2000**

For: **SEMICONDUCTOR DEVICE HAVING A GUARD RING**

jc511 U.S. PTO
09/528296
03/17/00



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D. C. 20231

Date: March 17, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln No. 11-076730, Filed March 19, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,
MCLELAND & NAUGHTON



William G. Kratz, Jr.
Attorney for Applicant
Reg. No. 22,631

Atty. Docket No. **000294**
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WGK/lif

PATENT OFFICE
JAPANESE GOVERNMENT

JC511 U.S. PRO
09/528296

03/17/00

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: March 19, 1999

Application Number: Japanese Patent Application
No.11-076730

Applicant(s) FUJITSU LIMITED

July 16, 1999

Commissioner,
Patent Office Takeshi Isayama (Seal)

Certificate No.11-3050697

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC511 U.S. PTO
09/526296
03/17/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1999年 3月19日

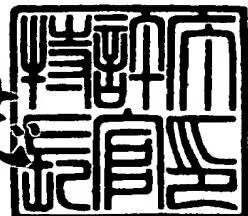
出願番号
Application Number: 平成11年特許願第076730号

出願人
Applicant(s): 富士通株式会社

1999年 7月16日

特許庁長官
Commissioner,
Patent Office

佐山建志



出証番号 出証特平11-3050697

【書類名】 特許願

【整理番号】 9840088

【提出日】 平成11年 3月19日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 23/28
H01L 21/31

【発明の名称】 半導体装置

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 高田 和彦

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特平11-076730

【物件名】 要約書 1

【包括委任状番号】 9704678

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 基板と、

前記基板上に形成された多層配線構造とを含み、

前記多層配線構造は、前記基板周辺部に沿って連続して延在し、前記基板表面に連続してコンタクトするガードリングパターンと、前記ガードリングパターンを埋める層間絶縁膜とよりなり、

前記ガードリングパターンは、前記基板面内に屈曲を繰り返すことを特徴とする半導体装置。

【請求項2】 前記ガードリングパターンは、前記層間絶縁膜の下主面から上主面方向に延在する導体壁と、前記導体壁上端部にコンタクトし、前記層間絶縁膜の上主面に一致する主面を有する導体パターンとより構成され、前記導体壁は、前記ガードリングパターンに対応して前記基板面内に屈曲を繰り返すことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記導体パターンは前記基板周辺部に沿って、直線的に延在することを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記導体パターンは前記基板周辺部に沿って、前記導体壁に対応して前記基板面内で屈曲を繰り返すことを特徴とする請求項1または2記載の半導体装置。

【請求項5】 前記導体壁および前記導体パターンは、Cuより構成されることを特徴とする請求項2～4のうち、いずれか一項記載の半導体装置。

【請求項6】 前記層間絶縁膜は、前記導体壁を側方から保持する第1の絶縁膜と、前記導体パターンを側方から保持する第2の絶縁膜とよりなることを特徴とする請求項2～5のうち、いずれか一項記載の半導体装置。

【請求項7】 前記第1の絶縁膜と第2の絶縁膜との間には、エッチングストップ膜が形成されていることを特徴とする請求項6記載の半導体装置。

【請求項8】 基板上に層間絶縁膜を堆積する工程と、

前記層間絶縁膜中に、前記基板周辺部に沿って連続して延在する第1の溝を形

成する工程と、

前記層間絶縁膜中に、前記第1の溝中を連続して延在するように第2の溝を形成する工程と、

前記層間絶縁膜上に、前記第1および第2の溝を埋めるように導体層を堆積する工程と、

前記導体層のうち、前記層間絶縁膜の表面上に堆積した部分を化学機械研磨により除去し、前記第1および第2の溝を埋めるガードリングパターンを形成する工程とを含む半導体装置の製造方法において、

前記第2の溝を形成する工程は、前記第2の溝が前記基板面内において屈曲を繰り返すように実行されることを特徴とする半導体装置の製造方法。

【請求項9】 前記第1の溝を形成する工程は、前記第1の溝が前記基板周辺部に沿って、直線的に延在するように実行されることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記第1の溝を形成する工程は、前記第1の溝が前記基板周辺部に沿って、前記第2の溝に対応して前記基板面内で屈曲を繰り返すように実行されることを特徴とする請求項8または9記載の半導体装置の製造方法。

【請求項11】 前記導体層Cuより構成されることを特徴とする請求項8～10のうち、いずれか一項記載の半導体装置の製造方法。

【請求項12】 前記層間絶縁膜を形成する工程は、前記基板上に第1の絶縁膜を堆積する工程と、前記第1の絶縁膜上にエッチングストップ膜を堆積する工程と、前記エッチングストップ膜上に第2の絶縁膜を堆積する工程とを含み、前記第1の溝を形成する工程は、前記第1の絶縁膜を、前記エッチングストップ膜が露出するまでエッチングする工程を含み、前記第2の溝を形成する工程は、前記エッチングストップ膜および前記第2の絶縁膜を、前記第2の溝が前記第2の絶縁膜の下正面に到達するまでエッチングする工程を含むことを特徴とする請求項8～11のうち、いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に関し、特にガードリングを備えた半導体装置に関する。

半導体装置では、一般に前記共通基板上の多数の半導体素子を相互接続するために、前記基板上に前記多数の半導体素子を覆うように複数の層間絶縁膜を積層し、各々の層間絶縁膜中に配線パターンを埋設した多層配線構造が使われることが多い。かかる半導体装置では、前記多層配線構造を構成する層間絶縁膜の間の界面に沿って、水分あるいは腐食性ガスが半導体装置内部へ侵入することがあるため、前記多層配線構造中に、基板周辺部に沿ってガードリングを形成し、かかる水分や腐食性ガスの侵入を阻止することが一般的に行なわれている。

【0002】

【従来の技術】

図1 (A) は、典型的な従来のガードリングの一部を拡大して示す拡大図、また図1 (B) は図1 (A) のガードリング全体の構成を示す平面図。

図1 (A), (B) を参照するに、半導体装置11が形成された半導体チップの周辺部には、前記半導体装置11を連続して囲むように、ガードリング構造12が形成されている。

【0003】

図2は、図1 (B) の構造の、線2-2'に沿った断面図を示す。

図2を参照するに、半導体装置11は、フィールド酸化膜22を形成されたSi基板21上に形成されており、前記フィールド酸化膜22は前記Si基板21表面において拡散領域21Aを画成する。

前記Si基板上には、前記フィールド酸化膜22および拡散領域21Aを覆うように、 SiO_2 , PSG, BPSG等の無機絶縁膜、あるいはフルオロカーボン、炭化水素、ポリイミド、有機SOG等の有機絶縁膜よりなる層間絶縁膜23, 24, 25が順次堆積されており、前記層間絶縁膜23中には前記拡散領域21Aを露出するコンタクト溝23Aが、前記半導体装置11の外周縁に沿って、連続的に形成されている。前記コンタクト溝23AはW等の導体壁23Bにより充填され、前記層間絶縁膜23上には前記導体壁23Bに電気的かつ機械的にコンタクトするように、W, WSiあるいはポリシリコンよりなる導体パターン2

4 Aが、前記半導体装置11の外周縁に沿って、前記コンタクト溝23Aに対応するように形成される。

【0004】

前記導体パターン24Aは前記層間絶縁膜24により覆われ、前記層間絶縁膜24中には前記導体パターン24Aを露出するコンタクト溝24Bが、前記半導体装置11の外周縁に沿って、前記コンタクト溝24Aに平行に、かつ連続的に延在する。

前記コンタクト溝24BはW等の導体壁24Cにより充填され、前記層間絶縁膜24上には前記導体壁24Cに電気的かつ機械的にコンタクトするように、W, WSiあるいはポリシリコンよりなる導体パターン25Aが、前記半導体装置11の外周縁に沿って、前記コンタクト溝24Bに対応するように形成される。

【0005】

前記導体パターン25Aは前記層間絶縁膜25により覆われ、前記層間絶縁膜25中には前記導体パターン25Aを露出するコンタクト溝25Bが、前記半導体装置11の外周縁に沿って、前記コンタクト溝24Bに平行に、かつ連続的に延在する。

さらに、前記コンタクト溝25BはW等の導体壁25Cにより充填され、前記層間絶縁膜25上には前記導体壁25Cに電気的かつ機械的にコンタクトするように、W, WSiあるいはポリシリコンよりなる導体パターン26Aが、前記半導体装置11の外周縁に沿って、前記コンタクト溝25Bに対応するように形成される。前記導体パターン26Aは、前記層間絶縁膜25上に形成されたSiN等よりなる保護膜26により覆われる。

【0006】

図2の構成によれば、前記導体壁23B, 24Cおよび25Cは、前記導体パターン24A, 25Aおよび26Aと共に、図1(B)のガードリング12を構成する。かかるガードリング12を形成することにより、図2に示すように層間絶縁膜の間の界面、例えば層間絶縁膜23と層間絶縁膜24との間の界面に沿ったH₂Oあるいは腐食性ガスの半導体装置11内部への侵入が効果的に阻止され

る。

【0007】

【発明が解決しようとする課題】

従来より、半導体装置においては図2に示すようなガードリング構造は、多層配線構造と同時に形成されていた。従来の多層配線構造では、下地層上に先に導体パターンを形成した後、これを絶縁膜で覆い、さらに前記絶縁膜を平坦化する工程が行われていた。

【0008】

しかし、最近のサブミクロンあるいはサブクオータミクロンサイズの半導体装置を含む超微細化半導体装置では、かかる多層配線構造中において生じる信号遅延を回避するために、導体パターンとして低抵抗のCuを低誘電率の有機層間絶縁膜と組み合わせて使うことが行われている。その際、Cuは従来より導電パターンに使われてきたAlやW、あるいはSiさらにはAuと異なりドライエッチングによるパターニングが困難であるため、先に層間絶縁膜中に配線溝およびコンタクトホールを形成しておき、かかる配線溝およびコンタクトホールを埋めるようにCu層を電解めっき法等により堆積する、いわゆるデュアルダマシン法が使われる。かかるデュアルダマシン法では、かかるCu層の堆積の後、前記層間絶縁膜上に残留しているCu層を化学機械研磨(CMP)工程により除去し、前記配線溝あるいはコンタクトホールを埋めるCuパターンあるいはCuプラグを形成する。

【0009】

図3は、図1(A), (B)の半導体装置11に、かかるCMP工程を行なった場合の様子を示す。ただし、図3(B)は図3(A)の拡大図である。

図3(A), (B)を参照するに、前記CMP工程は研磨布を被せた回転台上において実行され、前記研磨布上に研磨剤を滴下しながら前記半導体装置が多数形成された半導体ウェハ10を前記研磨布に、所定の圧力で押し付ける。その際、図3(A)に示すように、ウェハ10自体も所定の速度で回転される

このようなCMP工程を前記ガードリング構造を有する半導体装置11に対して行なった場合、図3(B)に示すようにCMPの作用する方向が、前記ガード

リング構造12の延在方向に略一致する場合が必ず生じる。

【0010】

図4は、図3(A)のウェハ10を0.857回転/秒の速度で回転する研磨台に押し付け、同時に0.857回転/秒の速度で自転させた場合の、ウェハ10に対する研磨剤粒子の相対速度分布を示す。

図3および4とともに参照するに、ウェハ10の中央部では研磨剤粒子のx方向およびy方向への速度 v_x および v_y は、ウェハ10の自転に伴い斜線で示す円周上を変化するが、ウェハ10の周辺部分では、かかる速度 v_x , v_y の変化は連続線で示す円周上を変化する。ただし、前記xおよびy方向はウェハ10に固定した座標系における直交方向を示す。

【0011】

図4よりわかるように、研磨剤の相対速度は、ウェハ10の周辺部分の方が、回転台の回転中心からの距離が大きい分だけ、中央部分よりも大きくなる。また、この効果はウェハ10の径が大きくなればなるほど大きくなる。

再び図3(A), (B)を参照するに、このようにウェハ10上に形成された半導体装置11では、前記ガードリング構造12は必然的に研磨剤粒子との係合により大きな応力を受けることになり、特にウェハ10の周辺部に形成される半導体装置11では、その影響が著しい。

【0012】

図3(B)の状態においては、研磨剤は前記ガードリング構造12の長手方向に応力を及ぼすことになるが、このように一方向に連続するパターンでは、その途中に必ず下地との密着性が弱い部分が含まれているものであり、そのような弱い個所において剥離が発生しやすい。前記ガードリング構造12が研磨方向に対して交差する方向に延在している場合には、このようガードリング12中にこのように弱い部分が存在しても、左右の側壁がガードリング構造12を両側から支持するため、剥離等の欠陥の発生にはつながらずにする。また、同様に、半導体装置11内部においても、多層配線構造中の配線パターンは頻繁に屈曲を繰り返すため、このような問題は生じない。

【0013】

これに対し、図3(B)の状態では、前記y方向に延在するガードリング12を側方から支持する構造が存在しないため、導体壁23B, 24Cあるいは25C中に密着性が弱い部分が存在すると、図5のようにその部分が破壊されてしまい、欠陥が発生する。ただし、図5中、先に説明した部分には同一の参照符号を付し、説明を省略する。また、図5の構造では、前記コンタクト溝23Aの側壁面と底面とは、密着性を改善するために設けられたTiN等の高融点金属化合物膜(23B)₁に覆われている。

【0014】

そこで、本発明は上記の課題を解決した、新規で有用な半導体装置を提供することを概括的課題とする。

本発明のより具体的な課題は、周辺部にガードリング構造を有する半導体装置において、CMP工程の際に生じる前記ガードリングの剥離を解消することにある。

【0015】

【課題を解決するための手段】

本発明は、上記の課題を、例えば

基板と、

前記基板上に形成された多層配線構造とを含み、

前記多層配線構造は、前記基板周辺部に沿って連続して延在し、前記基板表面に連続してコンタクトするガードリングパターンと、前記ガードリングパターンを埋める層間絶縁膜とよりなり、

前記ガードリングパターンは、前記基板に垂直な方向から見た場合に屈曲を繰り返すことを特徴とする半導体装置により、解決する。

【0016】

上記構成において、前記ガードリングパターンを、前記層間絶縁膜の下主面から上主面方向に延在する導体壁と、前記導体壁上端部にコンタクトし、前記層間絶縁膜の上主面に一致する主面を有する導体パターンとより構成し、前記導体壁を、前記基板に垂直な方向から見た場合に、前記ガードリングパターンに対応して屈曲を繰り返すように形成してもよい。

【0017】

また、上記構成において、前記導体パターンを前記基板周辺部に沿って、直線的に延在するように構成してもよい。

さらに、前記導体パターンを前記基板周辺部に沿って、前記基板に垂直な方向から見た場合に、前記導体壁に対応して屈曲を繰り返すように構成してもよい。

特に、前記導体壁および前記導体パターンは、Cuより構成してもよい。

【0018】

さらに、前記層間絶縁膜は、前記導体壁を側方から保持する第1の絶縁膜と、前記導体パターンを側方から保持する第2の絶縁膜とより構成してもよい。

さらに、前記第1の絶縁膜と第2の絶縁膜との間にエッチングストップ膜を形成してもよい。

また、本発明は上記の課題を、例えば

基板上に層間絶縁膜を堆積する工程と、

前記層間絶縁膜中に、前記基板周辺部に沿って連続して延在する第1の溝を形成する工程と、

前記層間絶縁膜中に、前記第1の溝中を連続して延在するように第2の溝を形成する工程と、

前記層間絶縁膜上に、前記第1および第2の溝を埋めるように導体層を堆積する工程と、

前記導体層のうち、前記層間絶縁膜の表面上に堆積した部分を化学機械研磨により除去し、前記第1および第2の溝を埋めるガードリングパターンを形成する工程とを含む半導体装置の製造方法において、

前記第2の溝を形成する工程は、前記第2の溝が前記基板面内において屈曲を繰り返すように実行されることにより、解決する。

【0019】

その際、前記第1の溝を形成する工程を、前記第1の溝が前記基板周辺部に沿って、直線的に延在するように実行してもよい。

また、前記第1の溝を形成する工程を、前記第1の溝が前記基板周辺部に沿って、前記第2の溝に対応して前記基板面内で屈曲を繰り返すように実行してもよ

い。

【0020】

前記導体層はCuより構成するのが好ましい。

また、前記層間絶縁膜を形成する工程を、前記基板上に第1の絶縁膜を堆積する工程と、前記第1の絶縁膜上にエッティングストップ膜を堆積する工程と、前記エッティングストップ膜上に第2の絶縁膜を堆積する工程とより構成し、前記第1の溝を形成する工程を、前記第1の絶縁膜を、前記エッティングストップ膜が露出するまでエッティングすることにより実行し、前記第2の溝を形成する工程を、前記エッティングストップ膜および前記第2の絶縁膜を、前記第2の溝が前記第2の絶縁膜の下正面に到達するまでエッティングすることにより実行してもよい。

【0021】

本発明によれば、前記ガードリングパターンを、基板周辺部において屈曲を繰り返す形状に形成することにより、ガードリングパターンが一方向に長く延在し、かかる延在方向がCMP工程における研磨方向と一致した場合に生じるガードリングパターンの損傷の問題が回避される。かかるガードリングパターンを形成することにより、前記基板内部に形成される半導体素子は、水分や腐食性ガスの侵入から防護される。

【0022】

【発明の実施の形態】

図6は、本発明の第1実施例による半導体装置40の構成を示す平面図、また図7は図6の半導体装置40の断面図を示す。

最初に図7の断面図を参照するに、半導体装置40はフィールド酸化膜42を形成されたSi基板41上に形成されており、前記フィールド酸化膜42は前記Si基板41表面において拡散領域41Aを画成する。

【0023】

前記Si基板上には、前記フィールド酸化膜42および拡散領域41Aを覆うように、 SiO_2 、PSG、BPSG等の無機絶縁膜、あるいはフルオロカーボン、炭化水素、ポリイミド、有機SOG等の有機絶縁膜よりなる層間絶縁膜43₁が堆積されており、前記層間絶縁膜43₁中には前記拡散領域41Aを露出す

るコンタクト溝 $4\ 3_1\ a$ が、後程図6の平面図を参照しながら説明するように、前記装置 $4\ 1$ の外周縁に沿って、連続的に、しかもジグザグに形成されている。前記コンタクト溝 $4\ 3_{1a}$ はW等の導体壁 $4\ 3_{1b}$ により充填される。

【0024】

図7の構成では、前記層間絶縁膜 $4\ 3_1$ はエッティングストップとなるSiN膜 $4\ 3_2$ により覆われ、前記エッティングストップ膜 $4\ 3_2$ 上には、別の層間絶縁膜 $4\ 3_3$ が堆積される。前記別の層間絶縁膜 $4\ 3_3$ は、前記層間絶縁膜 $4\ 3_1$ と同様に、 SiO_2 、PSG、BPSG等の無機絶縁膜、あるいはフルオロカーボン、炭化水素、ポリイミド、有機SOG等の有機絶縁膜よりなる。さらに、前記別の層間絶縁膜 $4\ 3_3$ およびその下のエッティングストップ膜 $4\ 3_2$ には前記コンタクト溝 $4\ 3_{1a}$ を含むように前記層間絶縁膜 $4\ 3_1$ の上主面を露出する溝 $4\ 3_{3a}$ が形成される。さらに、前記溝 $4\ 3_{3a}$ はCuあるいはW等の導体パターン $4\ 3_{3b}$ により充填される。その際、前記導体壁 $4\ 3_{1b}$ は前記導体パターン $4\ 3_{3b}$ に連続的にコンタクトする。

【0025】

前記導体パターン $4\ 3_{3b}$ は前記層間絶縁膜 $4\ 3_3$ と同一面を有し、前記層間絶縁膜 $4\ 3_1$ 、エッティングストップ膜 $4\ 3_2$ および層間絶縁膜 $4\ 3_3$ は、層間絶縁膜構造 $4\ 3$ を構成する。

さらに、前記層間絶縁膜構造 $4\ 3$ 上には、前記導体パターン $4\ 3_{3b}$ を覆うように、 SiO_2 、PSG、BPSG等の無機絶縁膜、あるいはフルオロカーボン、炭化水素、ポリイミド、有機SOG等の有機絶縁膜よりなる層間絶縁膜 $4\ 4_1$ が前記層間絶縁膜 $4\ 3_1$ と同様に堆積されており、前記層間絶縁膜 $4\ 4_1$ 中には前記導体パターン $4\ 3_{3b}$ 露出するコンタクト溝 $4\ 4_{1a}$ が、後程図6の平面図を参照しながら説明するように、前記集積回路装置 $4\ 1$ の外周縁に沿って、連続的に、しかもジグザグに形成されている。前記コンタクト溝 $4\ 4_{1a}$ はCuあるいはW等の導体壁 $4\ 4_{1b}$ により充填される。

【0026】

さらに、前記層間絶縁膜 $4\ 4_1$ はエッティングストップとなるSiN膜 $4\ 4_2$ により覆われ、前記エッティングストップ膜 $4\ 4_2$ 上には、別の層間絶縁膜 $4\ 4_3$ が

堆積される。前記別の層間絶縁膜44₃は、前記層間絶縁膜44₁と同様に、SiO₂、PSG、BPSG等の無機絶縁膜、あるいはフルオロカーボン、炭化水素、ポリイミド、有機SOG等の有機絶縁膜よりなる。さらに、前記別の層間絶縁膜44₃およびその下のエッティングストップ膜44₂には前記コンタクト溝44_{1a}を含むように前記層間絶縁膜44₁の上主面を露出する溝44_{3a}が形成される。さらに、前記溝44_{3a}はCuあるいはW等の導体パターン44_{3b}により充填される。その際、前記導体壁44_{1b}は前記導体パターン44_{3b}に連続的にコンタクトする。

【0027】

前記導体パターン44_{3b}は前記層間絶縁膜44₃と同一面を有し、前記層間絶縁膜44₁、エッティングストップ膜44₂および層間絶縁膜44₃は、層間絶縁膜構造44を構成する。

さらに、前記層間絶縁膜構造44上には、前記導体パターン44_{3b}を覆うように、SiO₂、PSG、BPSG等の無機絶縁膜、あるいはフルオロカーボン、炭化水素、ポリイミド、有機SOG等の有機絶縁膜よりなる層間絶縁膜45₁が前記層間絶縁膜44₁と同様に堆積されており、前記層間絶縁膜45₁中には前記導体パターン44_{3b}を露出するコンタクト溝45_{1a}が、後程図6の平面図を参照しながら説明するように、前記集積回路装置41の外周縁に沿って、連続的に、しかもジグザグに形成されている。前記コンタクト溝45_{1a}はCuあるいはW等の導体壁45_{1b}により充填される。

【0028】

さらに、前記層間絶縁膜45₁はエッティングストップとなるSiN膜45₂により覆われ、前記エッティングストップ膜45₂上には、別の層間絶縁膜45₃が堆積される。前記別の層間絶縁膜45₃は、前記層間絶縁膜45₁と同様に、SiO₂、PSG、BPSG等の無機絶縁膜、あるいはフルオロカーボン、炭化水素、ポリイミド、有機SOG等の有機絶縁膜よりなる。さらに、前記別の層間絶縁膜45₃およびその下のエッティングストップ膜45₂には前記コンタクト溝45_{1a}を含むように前記層間絶縁膜45₁の上主面を露出する溝45_{3a}が形成される。さらに、前記溝45_{3a}はCuあるいはW等の導体パターン45_{3b}により充填

される。その際、前記導体壁45_{1b}は前記導体パターン45_{3b}に連続的にコンタクトする。

【0029】

前記導体パターン45_{3b}は前記層間絶縁膜45₃と同一面を有し、前記層間絶縁膜45₁、エッティングストップ膜45₂および層間絶縁膜45₃は、層間絶縁膜構造45を構成する。さらに、前記層間絶縁膜45₃上には、SiNよりなる保護膜46が形成される。

かかる層間絶縁膜構造43、44および45を積層した構造においては、層境界に沿って侵入する水分や腐食性ガスが、前記導体壁43_{1b}、44_{1b}あるいは45_{1b}、あるいは導体パターン43_{3b}、44_{3b}あるいは45_{3b}により阻止される。換言すると、前記導体壁43_{1b}、44_{1b}、45_{1b}、および導体パターン43_{3b}、44_{3b}、45_{3b}は、半導体集積回路装置40のガードリング40Aを構成する。

【0030】

図8（A）～図9（D）は、図7の半導体装置40の製造工程を示す。

図8（A）を参照するに、前記拡散領域41Aおよびフィールド酸化膜42が形成されたSi基板41上には、層間絶縁膜43₁、SiNエッティングストップ膜43₂および層間絶縁膜43₃が順次堆積され、さらに前記層間絶縁膜43₃上には開口部51A有するレジストパターン51が形成される。さらに、前記レジストパターン51をマスクに、前記エッティングストップ膜43₂が露出するまでドライエッティング工程を実行し、前記層間絶縁膜43₃中に、溝43_{3a}を形成する。

【0031】

次に図8（B）の工程において前記レジストパターン51を除去し、得られた構造上に、前記溝43_{3a}中に開口部52A有するレジストパターン52を形成する。さらに前記レジストパターン52をマスクに前記SiN膜43₂および層間絶縁膜43₁をドライエッティングによりパターニングし、図9（C）に示す構造を得る。

【0032】

次に、図9（D）の工程において図9（C）の構造上にCu層53をスパッタ

リングあるいは電解めっき法により形成し、さらにCMP工程を行なうことにより、前記層間絶縁膜43₃上からCu層53を除去する。さらに同様な工程を繰り返すことにより、図7の構造が得られる。

再び図6の平面図を参照するに、前記最上層の導体パターン45_{3b}は前記半導体基板41の端面41Eに沿って、典型的には10μmの幅Lで延在し、最上部の前記導体壁45_{1b}は、前記導体パターン中、典型的には8μmの幅L_wを有する帯状領域中を、典型的には0.5μmの幅W_cでジグザグに延在する。また、図7の断面図よりわかるように、最下層および中間層の導体パターン43_{3b}および44_{3b}は前記最上層の導体パターン45_{3b}に平行に延在するのに対し、前記中間層の導体壁44_{1b}は、前記最上層の導体壁45_{1b}に対して逆相でジグザグに延在する。最下層の導体壁43_{1b}は、最上層の導体壁45_{1b}に平行に、すなわち同相で延在する。

【0033】

より具体的には、前記導体壁43_{1b}、44_{1b}および45_{1b}の各々は、典型的には6.4μmの単位長さL_c毎に120°の角度θで折り返され、前記基板41の端面41Eに直角方向に測った幅W_{CL}は、約0.58μmになる。また、前記折り返し部分において、前記導体パターンの側縁部との間には、1μmの余裕L_aが確保される。

【0034】

このような構造のガードリング40Aに対して、図9(D)の工程において前記端面41Eに平行な方向に化学機械研磨が行なわれると、前記ガードリング40Aには前記研磨方向と逆方向に作用する応力が印加される。その結果、前記ジグザグに延在する導体壁43_{1b}、44_{1b}および45_{1b}の各々には、その延在方向に応力成分が作用するが、各々の導体壁の延在する長さはほぼL_c(より厳密には $(L_w^2 + L_c^2)^{1/2}$)に限定されるため、図1(A), (B)におけるような、長い距離にわたって応力がガードリングの延在方向に作用することがない。換言すると、前記ガードリング構造40Aを構成する導体壁43_{1b}、44_{1b}および45_{1b}の各々は、その長手方向端部を対応する層間絶縁膜構造43、44あるいは45により支持され、その結果図5で説明したようなガードリングの欠陥

は生じない。

[第2実施例]

図10は、本発明の第2実施例による半導体装置50の構成を示す平面図である。ただし、半導体装置50は先に説明した半導体装置40の一変形例であり、先に説明した部分には同一の参照符号を付して説明を省略する。

【0035】

図10を参照するに、前記最上層の導体パターン 45_{3b} は前記半導体基板 41 の端面 $41E$ に沿って、典型的には $10\ \mu m$ の幅 L で延在し、最上部の前記導体壁 45_{1b} は、前記導体パターン中、典型的には $8\ \mu m$ の幅 L_w を有する帯状領域中を、典型的には $0.5\ \mu m$ の幅 W_c で矩形波状に延在する。また、本実施例においても、最下層および中間層の導体パターン 43_{3b} および 44_{3b} は、前記最上層の導体パターン 45_{3b} に平行に延在するのに対し、前記中間層の導体壁 44_{1b} は、前記最上層の導体壁 45_{1b} に対して逆相で矩形波状に延在する。最下層の導体壁 43_{1b} は、最上層の導体壁 45_{1b} に平行に、すなわち同相で延在する。

【0036】

より具体的には、前記導体壁 43_{1b} 、 44_{1b} および 45_{1b} の各々は、典型的には $6.4\ \mu m$ の単位長さ L_c 毎に 90° の角度 θ で屈曲され、約 $0.58\ \mu m$ の幅 W_c を有する。また、前記折り返し部分において、前記導体パターンの側縁部との間には、 $1\ \mu m$ の余裕 L_a が確保される。

このような構造のガードリング $40A$ に対して、図9(D)の工程において前記端面 $41E$ に平行な方向に化学機械研磨が行なわれると、前記ガードリング $40A$ には前記研磨方向と逆方向に作用する応力が印加される。その結果、前記矩形波状に延在する導体壁 43_{1b} 、 44_{1b} および 45_{1b} の各々には、その延在方向に応力成分が作用するが、各々の導体壁の延在する長さは L_c に限定されるため、図1(A)、(B)におけるような、長い距離にわたって応力がガードリングの延在方向に作用することがない。換言すると、前記ガードリング構造 $40A$ を構成する導体壁 43_{1b} 、 44_{1b} および 45_{1b} の各々は、その長手方向端部を対応する層間絶縁膜構造 43 、 44 あるいは 45 により支持され、その結果図5で説明したようなガードリングの欠陥は生じない。

[第3実施例]

図11は、本発明の第3実施例による半導体装置60の構成を示す平面図である。ただし、半導体装置60は図6の半導体装置40の一変形例であり、先に説明した部分には同一の参照符号を付して説明を省略する。

【0037】

図11を参照するに、前記最上部の導体壁45_{1b}は、前記導体パターン中、典型的には8μmの幅を有する帯状領域中を、典型的には0.5μmの幅W_cでジグザグに延在し、前記最上層の導体パターン45_{3b}は前記導体壁45_{1b}に沿って、典型的には10μmの幅L_cを有する帯状領域中をジグザグに延在する。また、本実施例においても、前記中間層の導体壁44_{1b}は、前記最上層の導体壁45_{1b}に対して逆相でジグザグに延在する。最下層の導体壁43_{1b}は、最上層の導体壁45_{1b}に平行に、すなわち同相でジグザグに延在する。これに伴って、前記中間層の導体パターン44_{3b}も前記中間層の導体壁44_{1b}に沿ってジグザグに延在し、また前記最下層の導体パターン43_{3b}も、前記最下層の導体壁43_{1b}に沿ってジグザグに延在する。

【0038】

より具体的には、前記導体壁43_{1b}、44_{1b}および45_{1b}の各々は、典型的には6.4μmの単位長さL_c毎に120°の角度θで折り返され、また前記折り返し部分において、前記導体パターンの側縁部との間には、1μmの余裕L_aが確保される。

このような構造のガードリング40Aに対して、図9(D)の工程において前記端面41Eに平行な方向に化学機械研磨が行なわれると、前記ガードリング40Aには前記研磨方向と逆方向に作用する応力が印加される。その結果、前記ジグザグに延在する導体壁43_{1b}、44_{1b}および45_{1b}の各々には、その延在方向に応力成分が作用するが、各々の導体壁の延在する長さは限定されているため、図1(A)、(B)におけるような、長い距離にわたって応力がガードリングの延在方向に作用することがない。換言すると、前記ガードリング構造40Aを構成する導体壁43_{1b}、44_{1b}および45_{1b}の各々は、その長手方向端部を対応する層間絶縁膜構造43、44あるいは45により支持され、その結果図5で説明

したようなガードリングの欠陥は生じない。

【第4実施例】

図12は、本発明の第4実施例による半導体装置70の構成を示す平面図である。ただし、半導体装置70は図10の半導体装置50の一変形例であり、先に説明した部分には同一の参照符号を付して説明を省略する。

【0039】

図12を参照するに、前記最上部の導体壁45_{1b}は、前記導体パターン中、典型的には8μmの幅を有する帯状領域中を、典型的には0.5μmの幅W_cで矩形波状に延在し、前記最上層の導体パターン45_{3b}は前記導体壁45_{1b}に沿って、典型的には10μmの幅Lを有する帯状領域中を同様に矩形波状に延在する。また、本実施例においても、前記中間層の導体壁44_{1b}は、前記最上層の導体壁45_{1b}に対して逆相で矩形波状に延在する。最下層の導体壁43_{1b}は、最上層の導体壁45_{1b}に平行に、すなわち同相で矩形波状に延在する。これに伴って、前記中間層の導体パターン44_{3b}も前記中間層の導体壁44_{1b}に沿って矩形波状に延在し、また前記最下層の導体パターン43_{3b}も、前記最下層の導体壁43_{1b}に沿って、矩形波状に延在する。

【0040】

より具体的には、前記導体壁43_{1b}、44_{1b}および45_{1b}の各々は、典型的には6.4μmの単位長さ毎に90°の角度θで折り返され、また前記折り返し部分において、前記導体パターンの側縁部との間には、1μmの余裕L_aが確保される。

このような構造のガードリング40Aに対して、図9(D)の工程において前記端面41Eに平行な方向に化学機械研磨が行なわれると、前記ガードリング40Aには前記研磨方向と逆方向に作用する応力が印加される。その結果、前記ジグザグに延在する導体壁43_{1b}、44_{1b}および45_{1b}の各々には、その延在方向に応力成分が作用するが、各々の導体壁の延在する長さは限定されているため、図1(A)、(B)におけるような、長い距離にわたって応力がガードリングの延在方向に作用することがない。換言すると、前記ガードリング構造40Aを構成する導体壁43_{1b}、44_{1b}および45_{1b}の各々は、その長手方向端部を対応す

る層間絶縁膜構造43、44あるいは45により支持され、その結果図5で説明したようなガードリングの欠陥は生じない。

【0041】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載に要旨内において様々な変形・変更が可能である。

【0042】

【発明の効果】

本発明によれば、前記ガードリングパターンを、基板周辺部において屈曲を繰り返す形状に形成することにより、ガードリングパターンが一方に向かって長く延在し、かかる延在方向がCMP工程における研磨方向と一致した場合に生じるガードリングパターンの損傷の問題が回避される。かかるガードリングパターンを形成することにより、前記基板内部に形成される半導体素子は、水分や腐食性ガスの侵入から防護される。

【図面の簡単な説明】

【図1】

(A)、(B)は、従来のガードリング構造を示す平面図である。

【図2】

従来のガードリング構造を示す断面図である。

【図3】

従来のCMP工程を示す図である。

【図4】

従来のCMP工程中における研磨剤の相対速度分布を示す図である。

【図5】

CMP工程の結果ガードリングに発生する損傷を説明する図である。

【図6】

本発明の第1実施例による半導体装置におけるガードリング構造を示す平面図である。

【図7】

本発明の第1実施例による半導体装置におけるガードリング構造を示す断面図である。

【図8】

(A), (B) は、本発明の第1実施例による半導体装置の製造工程を示す図(その1)である。

【図9】

(C), (D) は、本発明の第1実施例による半導体装置の製造工程を示す図(その2)である。

【図10】

本発明の第2実施例による半導体装置におけるガードリング構造を示す平面図である。

【図11】

本発明の第3実施例による半導体装置におけるガードリング構造を示す平面図である。

【図12】

本発明の第4実施例による半導体装置におけるガードリング構造を示す平面図である。

【符号の説明】

10 ウエハ

11, 40, 50, 60 半導体装置

12 ガードリング構造

21, 41 基板

21A, 41E 拡散領域

22, 42 フィールド酸化膜

23, 24, 25, 43₁, 44₁, 45₁, 43₃, 44₃, 45₃ 層間絶縁膜

23A, 24B, 25B コンタクト溝

23B, 24C, 25C 導体壁

(23B)₁ TiN膜

特平11-076730

24A, 25A, 26A 導体パターン

26 保護膜

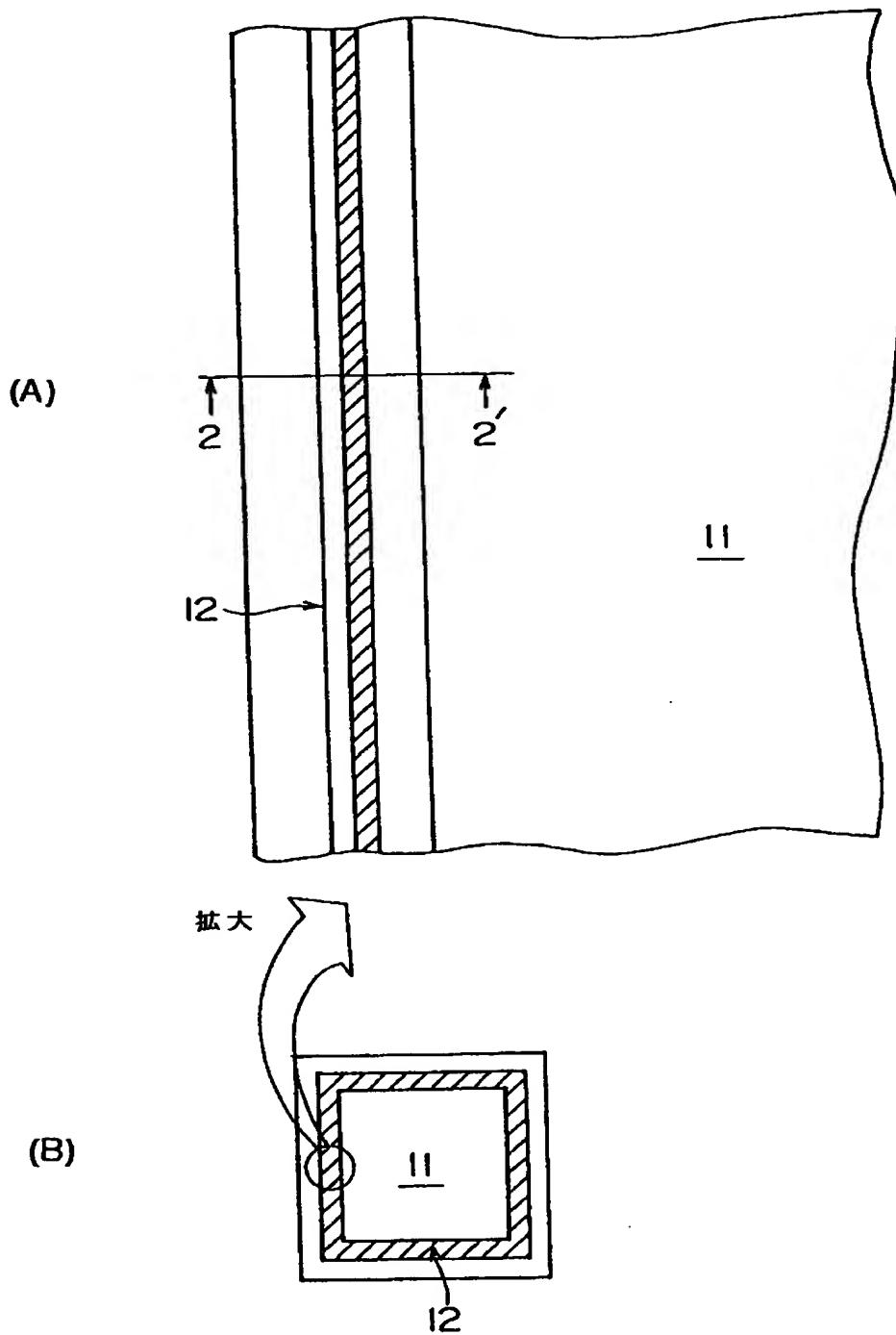
41E 基板端面

43₂, 44₂, 45₂ エッティングストップ

【書類名】 図面

【図1】

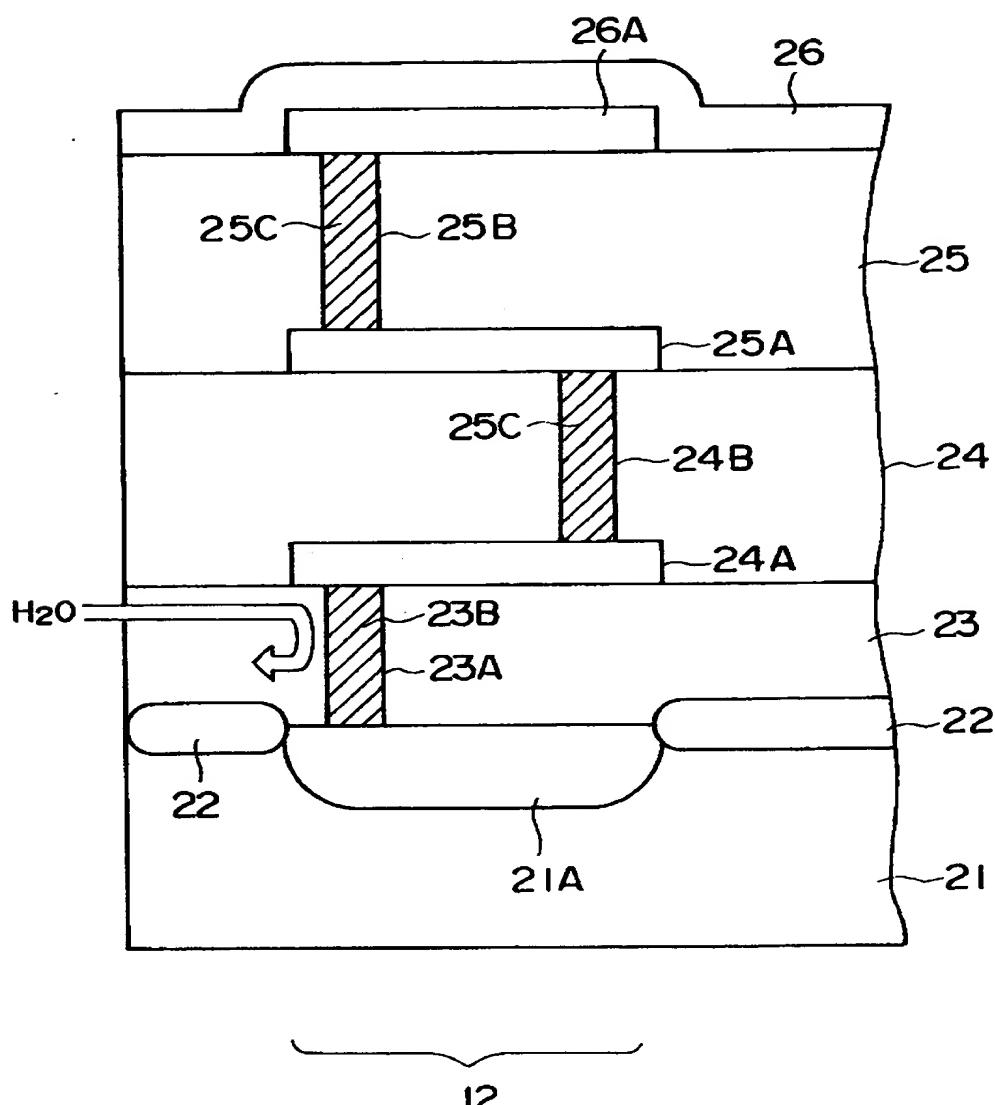
(A), (B) は、従来のガードリング構造を示す平面図



【図2】

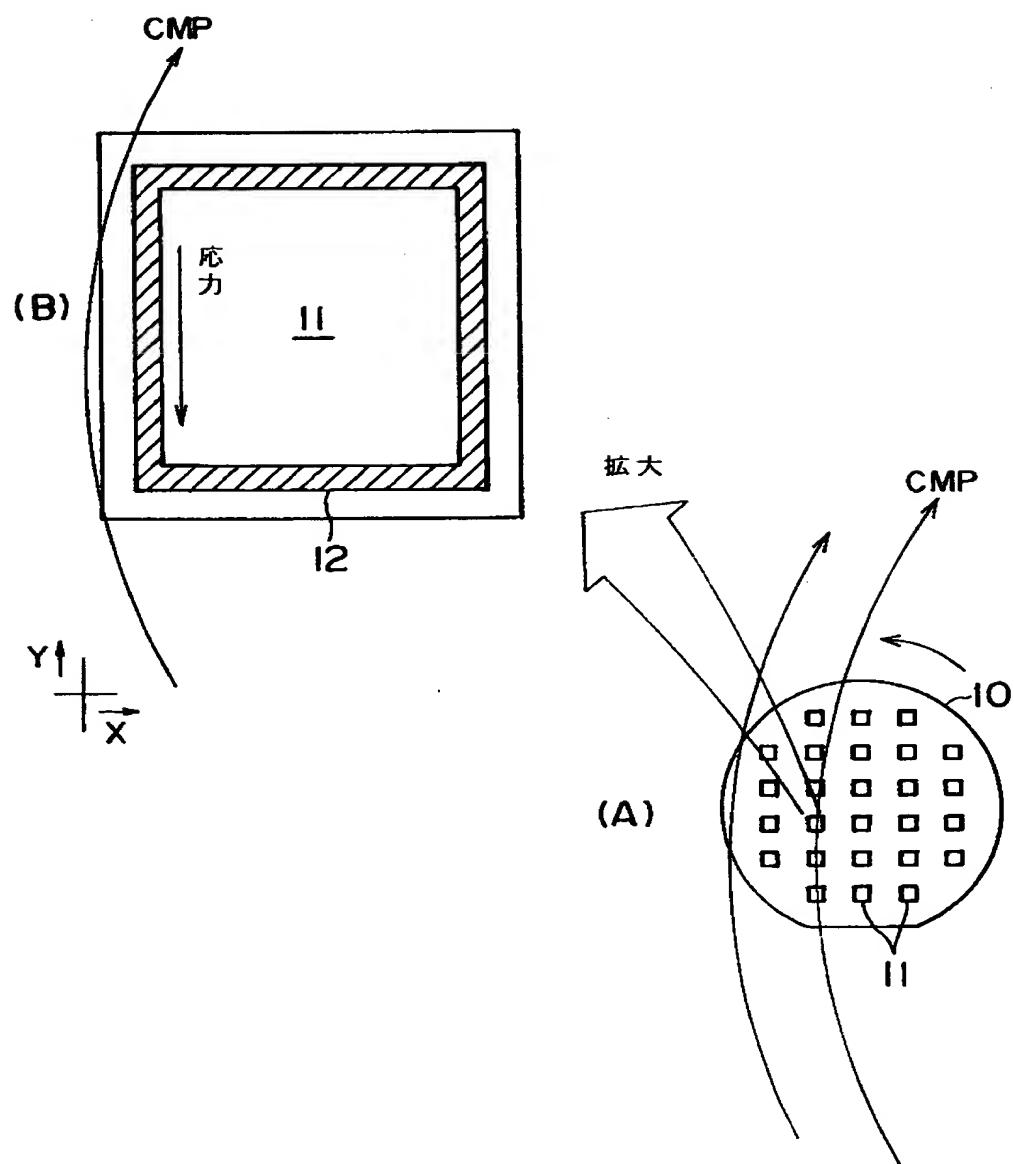
従来のガードリング構造を示す断面図

11



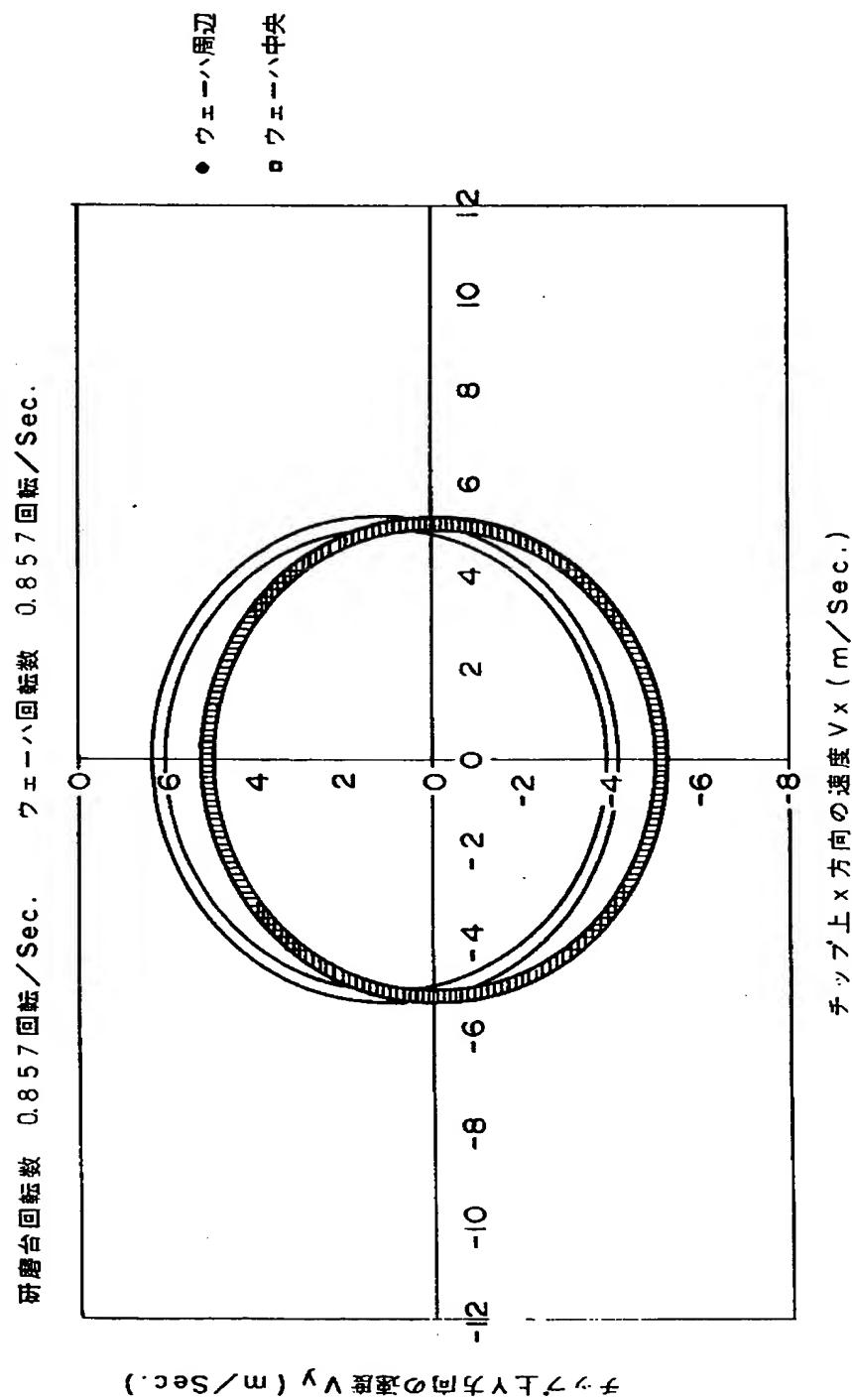
【図3】

従来のCMP工程を示す図



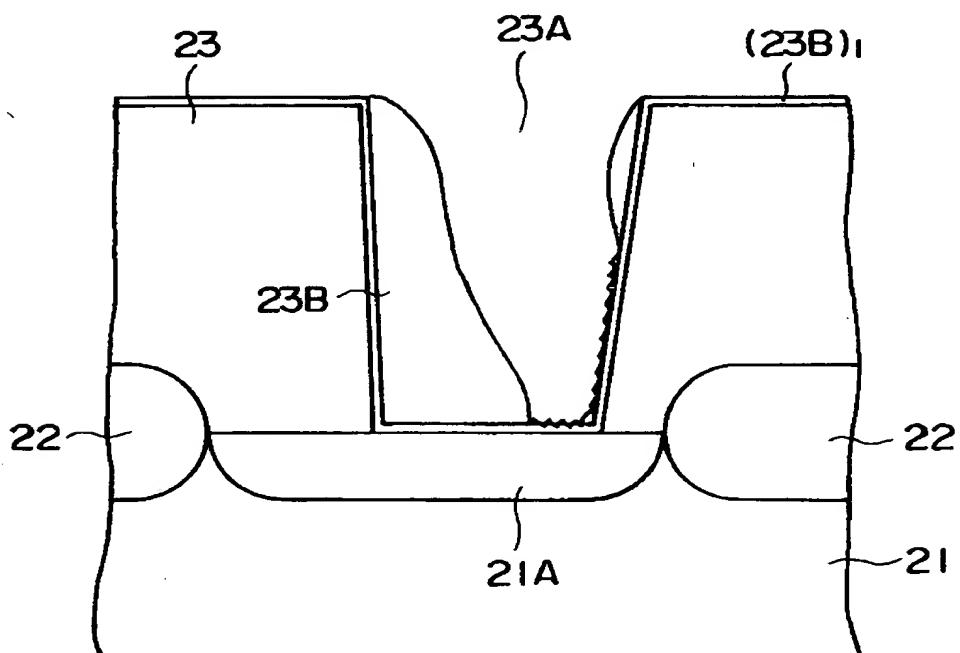
【図4】

従来のCMP工程中における研磨剤の相対速度分布を示す図



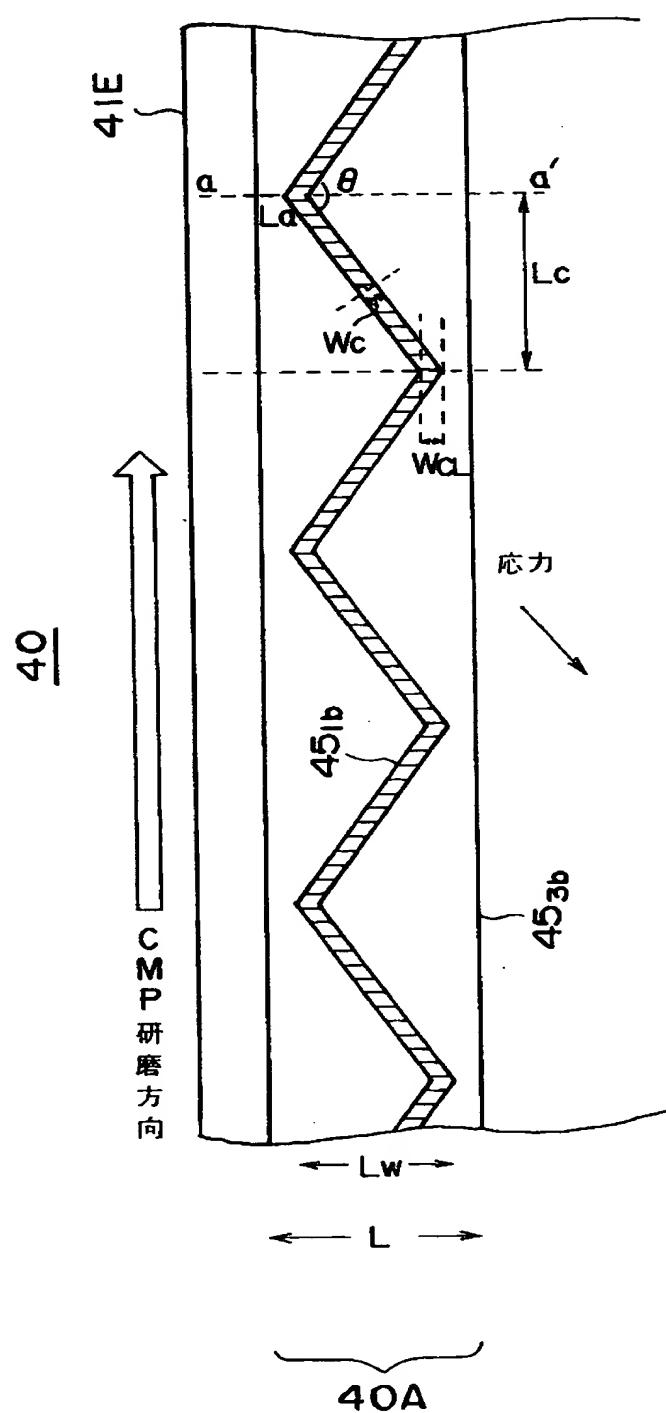
【図5】

CMP工程の結果ガードリングに発生する損傷を説明する図



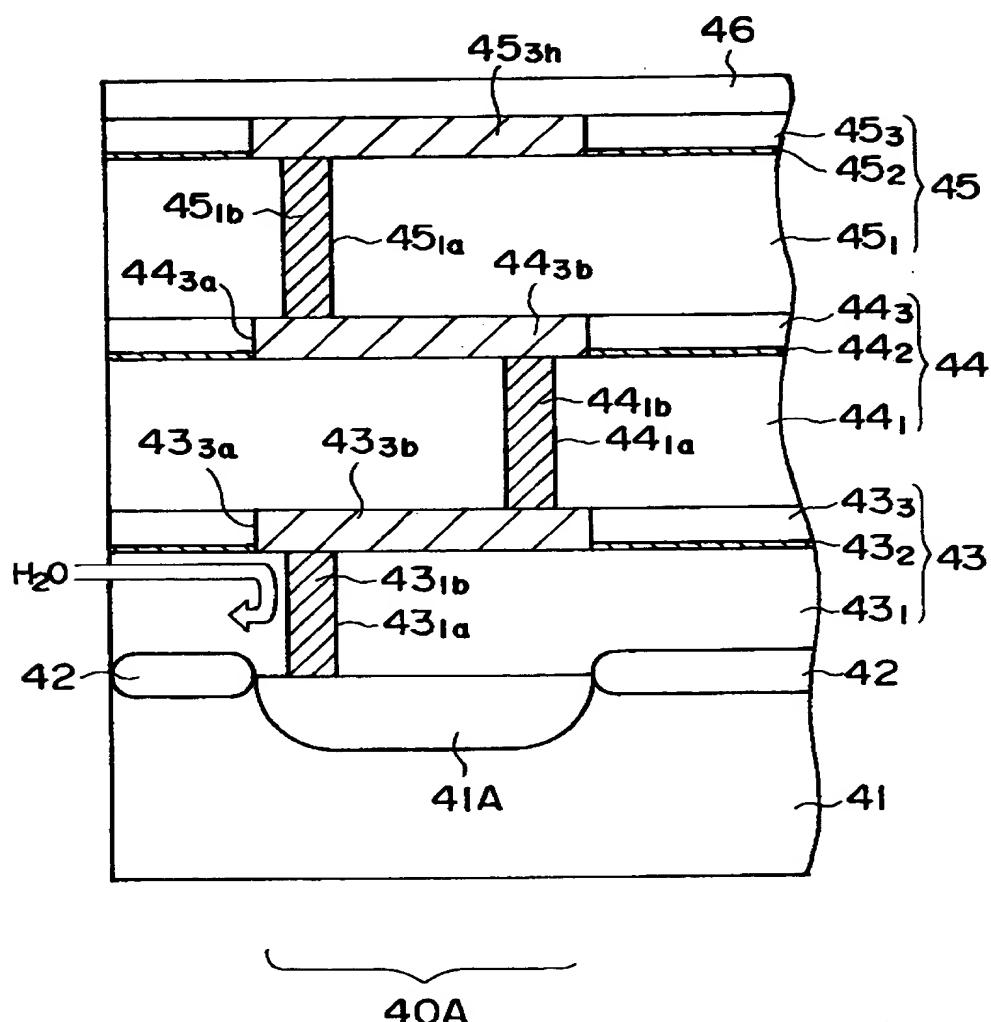
【図6】

本発明の第1実施例による半導体装置におけるガードリング構造を示す平面図



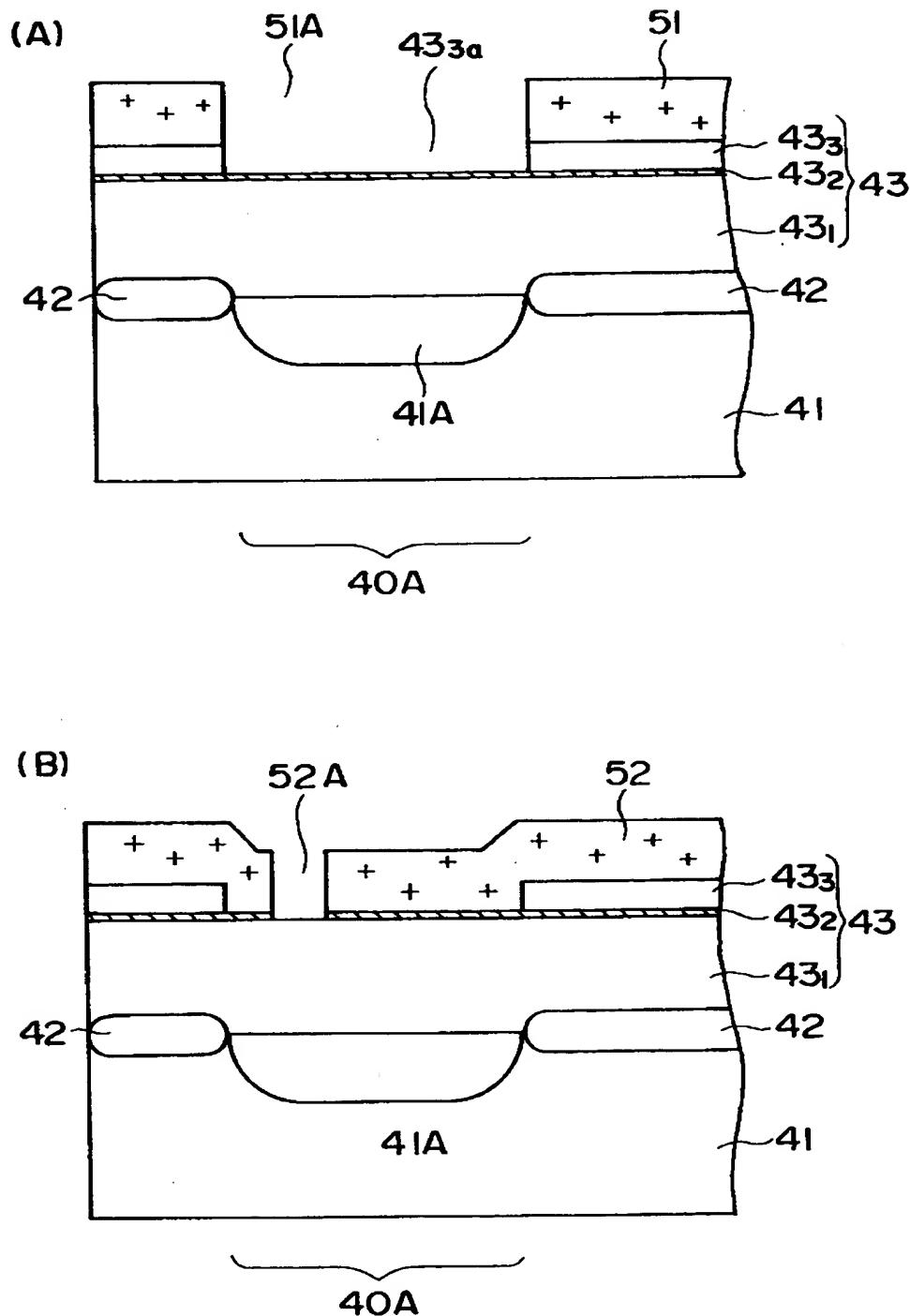
【図7】

本発明の第1実施例による半導体装置におけるガードリング構造を示す断面図

40

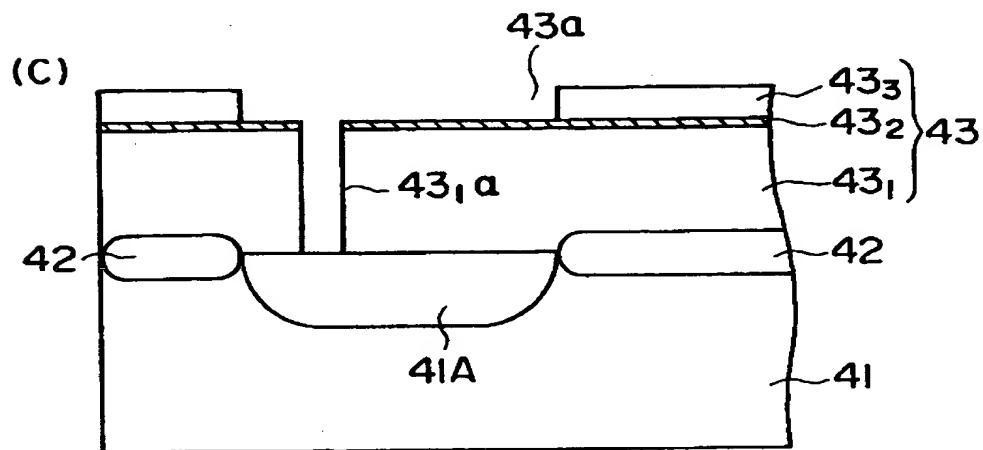
【図8】

(A), (B) は、本発明の第1実施例による半導体装置の
製造工程を示す図(その1)

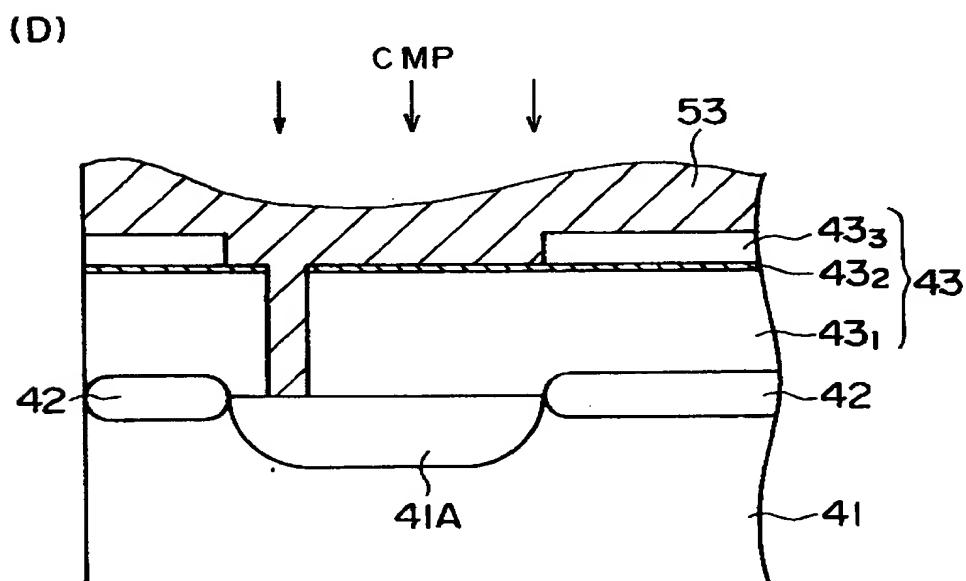


【図9】

(C), (D)は、本発明の第1実施例による半導体装置の
製造工程を示す図(その2)



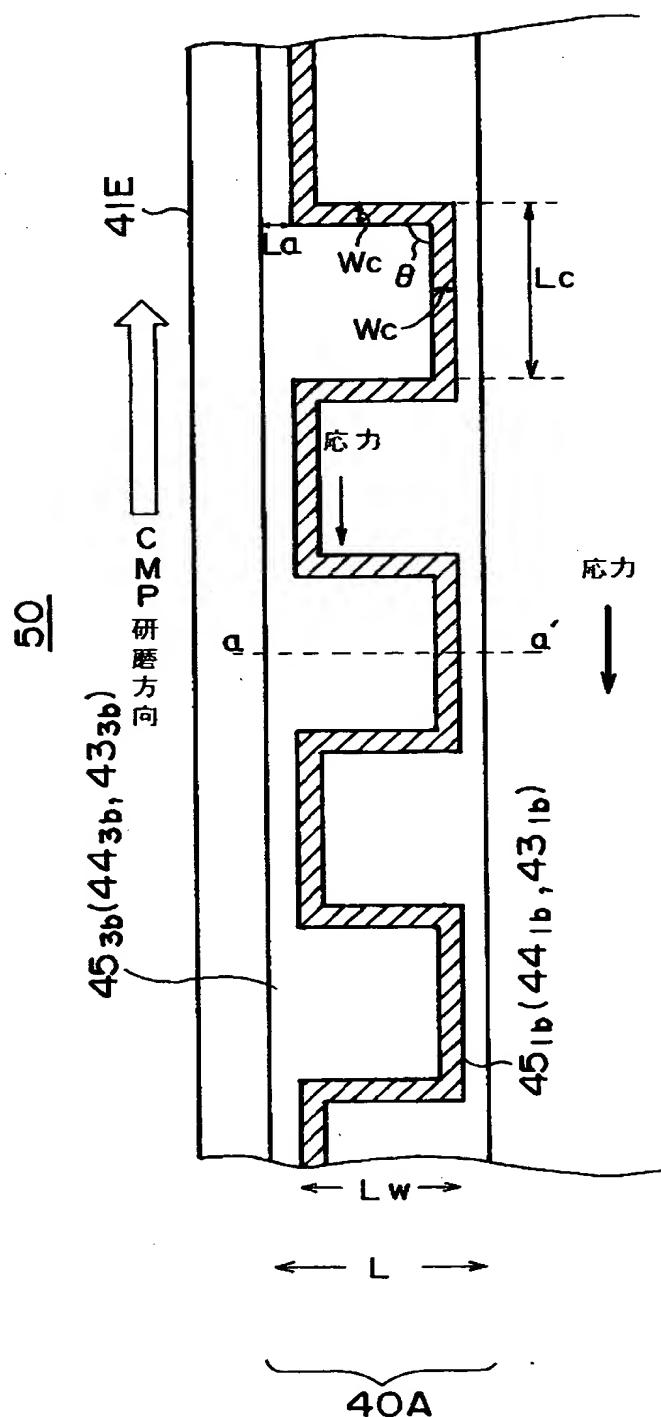
40A



40A

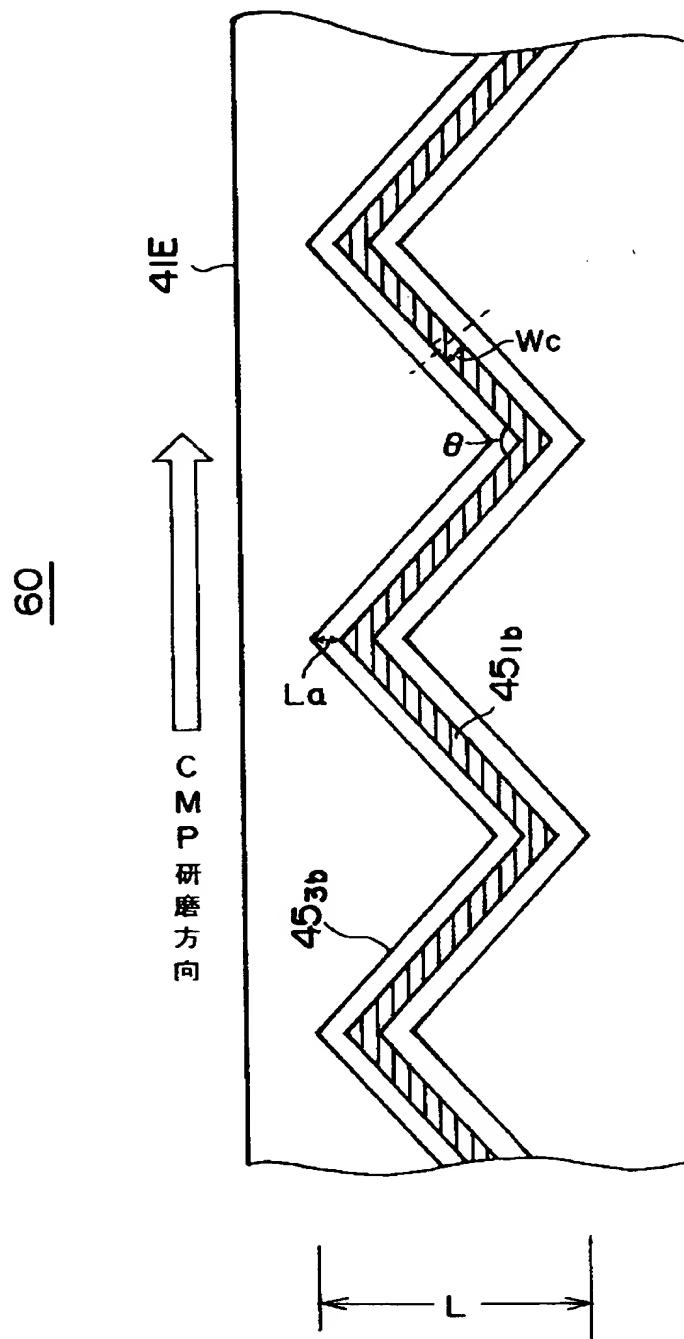
【図10】

本発明の第2実施例による半導体装置におけるガードリング構造を示す平面図



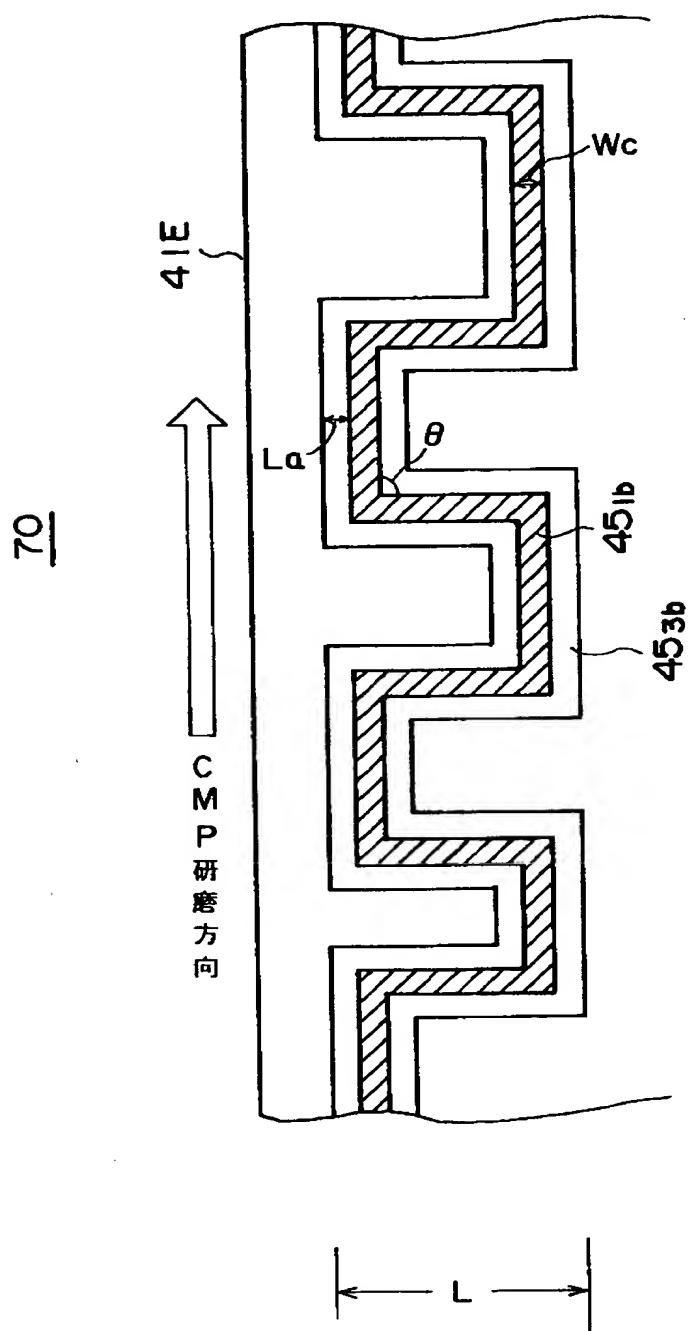
【図11】

本発明の第3実施例による半導体装置におけるガードリング構造を示す平面図



【図12】

本発明の第4実施例による半導体装置におけるガードリング構造を示す平面図



【書類名】 要約書

【要約】

【課題】 ガードリング構造を備えた半導体装置において、C M P 工程を行なった際に生じる損傷を抑制する。

【解決手段】 ガードリングパターンを、屈曲を繰り返す形状に形成する。

【選択図】 図6

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社